

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-322643
 (43)Date of publication of application : 04.12.1998

(51)Int.Cl. H04N 5/907
 G06T 3/40
 H04N 5/92
 H04N 7/24

(21)Application number : 09-164585

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.06.1997

(72)Inventor : MIYAWAKI KATSUKI

INAGAKI HIROHIKO
 KAMO YOSHIHIKO
 MATSUOKA TAKESHI
 TAKEHIRA MASANORI
 KONO TADAMI
 OTA MITSUHIKO
 ISHIZUKA MASANORI

(30)Priority

Priority number : 09 65790

Priority date : 19.03.1997

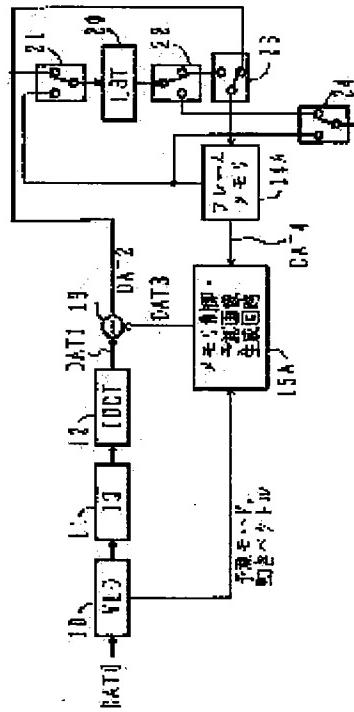
Priority country : JP

(54) IMAGE DATA PROCESSING METHOD AND DEVICE THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a memory capacity with a simpler structure, or to unnecessary to increase an operation frequency for image contraction processing and to reduce the manufacturing costs.

SOLUTION: This device reserves physical banks of a capacity that is equal to data quantity of the physical banks for image data of a B picture which is divided into m ($m \geq 2$) physical banks in p ($2 \leq p < m$) frame memory 14A, writes image data of physical banks in physical banks in an empty state, reads image data that is temporarily stored in the physical banks for display and makes physical banks empty whenever read in a bank unit is completed. It repeatedly reads decoded image data about each field from the memory 14A N times at the time of $1/N$ slow reproduction. It is provided with a switching circuit that selects whether image data is passed through a contraction conversion circuit or not to write it in the memory 14A and selects whether it is passed through the contraction conversion circuit or not after reading image data from the memory 14A.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-322643

(43)公開日 平成10年(1998)12月4日

(51)Int.Cl.^a
H 04 N 5/907
G 06 T 3/40
H 04 N 5/92
7/24

識別記号

F I
H 04 N 5/907 B
G 06 F 15/66 3 5 5 A
H 04 N 5/92 H
7/13 Z

審査請求 未請求 請求項の数14 O.L (全 16 頁)

(21)出願番号 特願平9-164585
(22)出願日 平成9年(1997)6月20日
(31)優先権主張番号 特願平9-65790
(32)優先日 平9(1997)3月19日
(33)優先権主張国 日本 (JP)

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72)発明者 宮脇 克樹
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 稲垣 博彦
神奈川県横浜市港北区新横浜2丁目3番9
号 富士通ディジタル・テクノロジ株式会
社内
(74)代理人 弁理士 松本 真吉

最終頁に続く

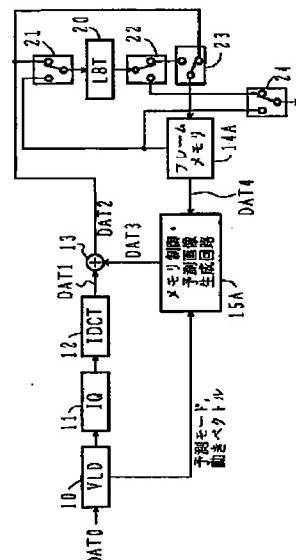
(54)【発明の名称】 画像データ処理方法及び装置

(57)【要約】

【課題】より簡単な構成でメモリの容量を低減し又は画像縮小処理のために動作周波数を上げる必要をなくして、製造コストを低減する。

【解決手段】 m 個 ($m \geq 2$) の論理バンクに分割されたBピクチャの画像データに対し、論理バンクのデータ量に等しい容量の物理バンクをp個 ($2 \leq p < m$) フレームメモリ14A内に確保し、該論理バンクの画像データを空き状態の該物理バンクに書き込み、該物理バンクに一時記憶されている画像データを表示用として読み出し、バンク単位の読み出しが完了する毎に該物理バンクを空き状態にする。 $1/N$ スロー再生のときは各フィールドについて符号化画像データをバッファメモリからN回繰り返し読み出させる。フレームメモリ14Aに画像データを書き込むのに縮小変換回路を通すか否か、該フレームメモリから画像データを読み出した後に該縮小変換回路を通すか否かを選択できるようにする切換回路を備えている。

本発明の第1実施形態の画像復号装置の概略構成図



【特許請求の範囲】

【請求項1】 1フレーム分の画像データ量をFとし、m及びpが $m \geq 2$ 、 $2 \leq p < m$ 及び(1バンクの画像データ量)×m=Fを満たす整数であるとしたとき、画像データ格納用としてpバンクの記憶領域を有するメモリと、該メモリに画像データを書き込ませ、該メモリに書き込まれた画像データを読み出させるために、該画像データをmバンクに分割して各バンクに論理バンク番号を割り当てたときの論理バンク番号を出力する主制御回路と、該メモリ内のpバンクの記憶領域の各バンクに物理バンク番号を割り当てたときに、該論理バンク番号を空いている物理バンク番号に割り当て、該割り当てられた物理バンク番号を、該メモリからバンク単位の読み出しが完了する毎に空き状態にし、該主制御回路から出力された論理バンク番号を、該論理バンク番号が割り当てられている物理バンク番号に変換するバンク管理回路と、該書き込み及び読み出しを実行するために、該変換された物理番号に対応したアドレスを先頭アドレスとして該メモリ内の1バンク分の画像データを順次アクセスするメモリ制御回路と、
を有することを特徴とする画像データ処理装置。

【請求項2】 上記バンク管理回路は、割り当て制御信号がアクティブの時に、供給されている物理バンク番号と論理バンク番号との対応関係を記憶することにより上記割り当てを行い、該割り当てに基づいて上記論理バンク番号を上記物理バンク番号に変換する論理／物理バンク番号変換部と、該物理バンク番号の各々について、該論理バンク番号のいずれかが割り当てられている割り当て状態であるか割り当てられていない空き状態であるかを示す割り当て状態記憶部と、上記主制御回路からの物理バンク割り当て要求に応答して、該割り当て状態記憶部の内容を参照して該空き状態を検出し、検出された該空き状態を該割り当て状態にし、該割り当て状態にした物理バンク番号及びアクティブにした該割り当て制御信号を該論理／物理バンク番号変換部に供給する空き物理バンク検出・割り当て部と、
を有することを特徴とする請求項1記載の画像データ処理装置。

【請求項3】 上記バンク管理回路はさらに、上記メモリ制御回路が1バンク分の読み出しアドレスをアクセス完了したことを検出して、上記割り当て状態記憶部の、該1バンクの物理バンク番号に対応した上記割り当て状態を上記空き状態にさせる物理バンク開放部を有することを特徴とする請求項2記載の画像データ処理装置。

【請求項4】 上記空き物理バンク検出・割り当て部は、物理バンク検索要求に応答して、上記割り当て状態記憶

部の内容を参照して上記空き状態を検出し、検出された該空き状態を上記割り当て状態にし、該割り当て状態にした物理バンク番号を上記論理／物理バンク番号変換部に供給しかつ割り当て完了通知を出力する空き物理バンク検出部と、

該物理バンク検索要求を出力し、上記物理バンク割り当て要求を受け且つ該割り当て完了通知を受けた時に、アクティブにした上記割り当て制御信号を該論理／物理バンク番号変換部に供給する物理バンク割り当て部と、
を有することを特徴とする請求項2又は3記載の画像データ処理装置。

【請求項5】 上記メモリは、符号化画像データのバッファ記憶領域を有し、

上記メモリ制御回路は、遅延のために符号化画像データを該バッファ記憶領域に一時記憶させ、該バッファ記憶領域から該符号化画像データを読み出させ、

該読み出された符号化画像データを復号して該メモリへ供給する復号回路を有し、

上記主制御回路は、速度 $1/N$ のスロー再生要求に応答して該メモリ制御回路に対し、トップフィールド及びボトムフィールドの各々について該メモリの該バッファ記憶領域からN回繰り返し読み出させ且つ該読み出しに応じて上記pバンクの記憶領域に対する画像データの上記書き込み及び表示用読み出しを行わせる、
ことを特徴とする請求項1乃至4のいずれか1つに記載の画像データ処理装置。

【請求項6】 上記主制御回路は、ポーズ再生要求に応答して、速度 $1/\infty$ のスロー再生要求に対する制御動作と同一の動作を行うことを特徴とする請求項5記載の画像データ処理装置。

【請求項7】 上記画像データはMPEG方式の画像データであり、上記物理バンクの記憶容量は、1マクロブロックラインの整数倍であることを特徴とする請求項1乃至6のいずれか1つに記載の画像データ処理装置。

【請求項8】 上記画像データはMPEG方式の画像データであり、上記物理バンクの記憶容量は、1マクロブロックラインの半分の奇数倍であることを特徴とする請求項1乃至6のいずれか1つに記載の画像データ処理装置。

【請求項9】 1フレーム分の画像データ量をFとし、m及びpが $m \geq 2$ 、 $2 \leq p < m$ 及び(1バンクの画像データ量)×m=Fを満たす整数であるとしたとき、画像データをmバンクに分割して各バンクに論理バンク番号を割り当て、画像データ格納用としてメモリにpバンクの記憶領域を確保し、該記憶領域の各バンクに物理バンク番号を割り当て、

論理バンク番号を空いている物理バンク番号に割り当て、該割り当てられた物理バンク番号を、該メモリからバンク単位の読み出しが完了する毎に空き状態にし、割り当てた論理バンク番号の各々について該論理バンク番

号を、該論理バンク番号が割り当てられている物理バンク番号に変換し、

該変換された物理番号に対応したアドレスを先頭アドレスとして該メモリ内の1バンク分の画像データを順次アクセスして、該メモリに画像データを書き込ませ、該メモリに書き込まれた画像データを読み出させる、
ことを特徴とする画像データ処理方法。

【請求項10】 遅延のために、符号化画像データを上記メモリのバッファ記憶領域に一時記憶させ該バッファ記憶領域から該符号化画像データを読み出させ、該読み出された符号化画像データを復号して該メモリへ供給し、

速度1/Nのスロー再生要求に応答して、トップフィールド及びボトムフィールドの各々について該メモリの該バッファ記憶領域からN回繰り返し読み出させ且つ該読み出しに応じて上記pバンクの記憶領域に対する画像データの上記書き込み及び表示用読み出しを行わせる、
ことを特徴とする請求項9記載の画像データ処理方法。

【請求項11】 復号された画像データが一時記憶されるメモリと、

該メモリに該画像データを書き込み、該メモリ内の該画像データを参照して予測画像を生成し、該メモリから符号化前の画像順に該画像データを読み出すメモリ制御・予測画像生成回路と、

を有する画像データ処理装置において、

ブロック単位で画像が縮小するように、該画像データを変換する縮小変換回路と、

該メモリに該画像データを書き込むのに該縮小変換回路を通すか否か、該メモリから該画像データを読み出した後に該縮小変換回路を通すか否かを選択できるようにする切換回路とを有し、

該メモリ制御・予測画像生成回路は、該メモリへの該画像データの書き込みであるか該メモリからの該画像データの読み出しであるか、表示モードが縮小モードであるか否か、及び、該画像データが非参照画像のものであるか否かに応じて、該切換回路を制御する制御回路を有する、
ことを特徴とする画像データ処理装置。

【請求項12】 上記制御回路は、

上記メモリへの画像データの書き込みにおいて、表示モードが縮小モード且つ該画像データが非参照画像のものである第1の場合には、該画像データが上記縮小変換回路を通って該メモリへ書き込まれるように上記切換回路を制御し、該第1の場合でない場合には、該画像データが該縮小変換回路を通らないで該メモリへ書き込まれるように該切換回路を制御し、

該メモリからの該画像データの読み出しにおいて、該第1の場合又は該表示モードが縮小モードでない第2の場合には、該メモリから読み出された該画像データが該縮小変換回路を通らないように該切換回路を制御し、該第

1の場合でなくかつ該第2の場合でない場合には、該メモリから読み出された該画像データが該縮小変換回路を通るように該切換回路を制御する、
ことを特徴とする請求項11記載の画像データ処理装置。

【請求項13】 ブロック単位で画像が縮小するよう

に、画像データを変換する縮小変換回路と、
上記メモリに画像データを書き込むのに該縮小変換回路を通すか否か、該メモリから画像データを読み出した後に該縮小変換回路を通すか否かを選択できるようにする切換回路とを有し、

上記メモリ制御・予測画像生成回路は、該メモリへの該画像データの書き込みであるか該メモリからの該画像データの読み出しであるか、表示モードが縮小モードであるか否か、及び、該画像データが非参照画像のものであるか否かに応じて、該切換回路を制御する制御回路を有する、
ことを特徴とする請求項11記載の画像データ処理装置。

【請求項14】 符号化された画像データを復号する画像データ処理方法において、復号画像一時記憶用メモリと復号画像サイズを縮小するための縮小変換回路とを用い、
該メモリへの復号画像データの書き込みにおいて、表示モードが縮小モード且つ該復号画像データが非参照画像のものである第1の場合には、該復号画像データを、縮小変換回路に通して該メモリへ書きませ、
該第1の場合でない場合には、該復号画像データを該縮小変換回路に通さずに該メモリへ書きませ、

30 該メモリからの該復号画像データの表示用読み出しにおいて、該第1の場合又は該表示モードが縮小モードでない第2の場合には、該復号画像データを該メモリから読み出させ該縮小変換回路を通さないようにし、該第1の場合でなくかつ該第2の場合でない場合には、該メモリから読み出した該画像データを該縮小変換回路に通す、
ことを特徴とする画像データ処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリに対し画像データをアクセスする画像データ処理方法及び装置に関する。

【0002】

【従来の技術】図8は、MPEG方式で符号化された画像データDAT0を復号して表示画像データを得る従来の画像復号装置の概略構成を示す。符号化画像データDAT0は、可変長復号回路10で量子化DCT係数に変換され、逆量子化回路11でDCT係数に変換され、逆DCT回路12で画像データDAT1に変換される。

【0003】画像データDAT1がIピクチャの場合には、加算回路13を素通りし、画像データDAT1がP

ピクチャ又はBピクチャの場合には、画像データDAT1は予測誤差データであり、メモリ制御・予測画像生成回路15からの予測画像データDAT3と加算回路13で加算される。予測画像生成回路は動き補償と予測復号を行う回路である。加算回路13の出力は、復号画像データDAT2としてフレームメモリ14に一時記憶される。メモリ制御・予測画像生成回路15は、可変長復号回路10で分離された予測モード及び動きベクトルに基づき、フレームメモリ14から参照用復号画像データDAT4を読み出して予測画像データDAT3を生成し、加算回路13に供給する。

【0004】参照画像は、画像データDAT1がPピクチャ（前方向予測符号化画像）の場合には、過去のIピクチャ（内部符号化画像）又はPピクチャであり、画像データDAT1がBピクチャ（双方向予測符号化画像）の場合には、過去のIピクチャ又はPピクチャ、及び、未来のIピクチャ又はPピクチャである。ここに、「過去」及び「未来」は、符号化前の画像の順番に関するものである。

【0005】フレームメモリ14は、参照画像用の2フレーム分と、バッファ用の1フレーム分との合計3フレーム分の記憶容量を持っている。図9は、順次供給される画像データDAT0(DAT2)のピクチャタイプとフレームメモリ14内の画像記憶状態S1～S9を示している。図9中、I、P、及びBはピクチャタイプを示しており、これらに付された番号は画像データDAT0(DAT2)の時間的順番を示している。

【0006】符号化画像データDAT0は、ピクチャI1、B2、B3、P4、B5、B6、・・・の順に可変長復号回路10へ供給され、この順に画像データDAT2がフレームメモリ14に一時記憶される。一時記憶された画像は、符号化前の画像の順番に、表示画像データDAT5として読み出される。Bピクチャは参照されずに表示画像データDAT5として読み出され、Iピクチャ又はPピクチャは、次のIピクチャ又はPピクチャの前迄のBピクチャの再生後に再生される。すなわち、表示画像データDAT5は、図9中に括弧を付したピクチャB2、B3、I1、B5、B6、P4、・・・の順にフレームメモリ14から読み出される。

【0007】フレームメモリ14は、上述のように3フレーム分の容量を持っているが、製造コスト低減上、この容量ができるだけ低減したほうが好ましい。そこで、Iピクチャ用又はPピクチャ用の2つのデータメモリをそれぞれ2N個のスロットに分割し、また、Bピクチャが参照されずに表示画像データDAT5として読み出されるという点に着目し、Bピクチャ用としてN+4個のスロットを有するデータメモリと、2N+6個のスロット番号を記憶するためのスロット管理メモリとを用い、次のような処理を行う画像処理装置が提案されている
(特開平8-298666号公報)。

【0008】(1) スロット管理メモリの先頭からN+4ワードにそれぞれ0～N+3の初期値を格納させておき、書き込みポインタWP及び読み出しポインタRPにそれぞれ初期値0及びN+4を格納しておき、(2) 書き込みポインタWPの内容でスロット管理メモリをアドレス指定してスロット番号を読み出し、(書き込みポインタWPの内容)+1でスロット管理メモリをアドレス指定してスロット番号を読み出し、(3) データメモリの、読み出した2個のスロット番号のスロットにデータを書き込み、かつ、データメモリのスロット読み出し順を予測して該2個のスロット番号を、スロット管理メモリの他のアドレスへそれぞれ格納し、(4) 書き込みポインタを2だけ増加させ、(5) 読み出しポインタRPの内容でスロット管理メモリをアドレス指定してスロット番号を読み出し、(読み出しポインタRPの内容)+1でスロット管理メモリをアドレス指定してスロット番号を読み出し、(6) データメモリの、読み出した2個のスロット番号からデータを読み出し、(7) 読み出しポインタを2だけ増加させる、という処理を繰り返し行う。

【0009】他方、横：縦=16：9の画像を、この比が4：3の通常のCRTに歪み無く出力する場合、図10に示す如く、ピクチャ16をピクチャ17に縮小するレターボックス変換を行う必要がある。ハッチングを付したライン181からライン182まで及びライン183からライン184までは、CRT上の黒表示部を示している。

【0010】図8において、表示モードが縮小モードの場合には、切換回路19がレターボックス変換回路20側に切り換えられ、フレームメモリ14から読み出された表示画像データDAT5がレターボックス変換回路20で上記のように縮小され、切換回路19を通り表示画像データDAT5として取り出される。表示モードが通常モードの場合には、切換回路19がフレームメモリ14の出力側に切り換えられ、表示画像データDAT5が切換回路19を通り表示画像データDAT6として取り出される。表示画像データDAT6は、不図示の回路で、フォーマット変換され次いでアナログ値に変換されて表示用のビデオ信号になる。

【0011】

【発明が解決しようとする課題】しかし、上記特開平8-298666号公報に開示された装置では、例えば480ラインの画像の場合、 $N = 480 / (8 \times 2) = 30$ であり、スロット管理メモリは $2N + 6 = 66$ 個のスロット番号を記憶しなければならず、また、データメモリのスロット読み出し順を予測しなければならないので、構成が複雑である。しかも、Iピクチャ用又はPピクチャ用の2つのデータメモリをそれぞれ2N個のスロットに分割しているので、構成がさらに複雑になる。

【0012】また、図10において、表示モードが通常

モードの場合には、ライン181からライン184までの期間中に1画像分の表示画像データDAT5をフレームメモリ14から読み出せば良いが、表示モードが縮小モードの場合には、ライン182からライン183までの通常より短い期間中に1画像分の表示画像データDAT5をフレームメモリ14から読み出してレターボックス変換しなければならないので、通常モードの場合よりも高速処理が必要となり、製造コスト上昇の原因となる。

【0013】本発明の目的は、このような問題点に鑑み、より簡単な構成でメモリ容量を低減し又は画像縮小処理のために動作周波数を上げる必要をなくして、製造コストを低減することができる画像データ処理方法及び装置を提供することにある。

【0014】

【課題を解決するための手段及びその作用効果】請求項1では、画像データを復号する画像データ処理装置において、1フレーム分の復号画像データ量をFとし、m及びpが $m \geq 2$ 、 $2 \leq p < m$ 及び(1バンクの復号画像データ量)×m=Fを満たす整数であるとしたとき、復号画像データ格納用としてpバンクの記憶領域を有するメモリと、該メモリに復号画像データを書き込ませ、該メモリに書き込まれた復号画像データを読み出させるために、該復号画像データをmバンクに分割して各バンクに論理バンク番号を割り当てたときの論理バンク番号を出力する主制御回路と、該メモリ内のpバンクの記憶領域の各バンクに物理バンク番号を割り当てたときに、該論理バンク番号を空いている物理バンク番号に割り当て、該割り当てられた物理バンク番号を、該メモリからバンク単位の読み出しが完了する毎に空き状態にし、該主制御回路から出力された論理バンク番号を、該論理バンク番号が割り当てられている物理バンク番号に変換するバンク管理回路と、該書き込み及び読み出しを実行するために、該変換された物理番号に対応したアドレスを先頭アドレスとして該メモリ内の1バンク分の復号画像データを順次アクセスするメモリ制御回路とを有する。

【0015】この画像データ処理装置によれば、画像データを論理バンクに分割しこれをメモリ内に確保した物理バンクに割り当て、バンク単位で画像データを書き込み、読み出し、開放することにより、1フレーム分より少ない容量で従来の1フレーム分の役割を果たすことができ、また、上記構成のバンク管理回路を用いているので、簡単な構成でメモリの容量低減が可能になるという効果を奏し、画像データ処理装置の製造コスト低減に寄与する。

【0016】さらに、主制御回路は論理バンク番号を出力すればよいので、その処理及び構成が簡単になるという効果を奏する。請求項2の画像データ処理装置では、請求項1において、上記バンク管理回路は、割り当て制御信号がアクティブの時に、供給されている物理バンク

番号と論理バンク番号との対応関係を記憶することにより上記割り当てを行い、該割り当てに基づいて上記論理バンク番号を上記物理バンク番号に変換する論理／物理バンク番号変換部と、該物理バンク番号の各々について、該論理バンク番号のいずれかが割り当てられている割り当て状態であるか割り当てられていない空き状態であるかを示す割り当て状態記憶部と、上記主制御回路からの物理バンク割り当て要求に応答して、該割り当て状態記憶部の内容を参照して該空き状態を検出し、検出された該空き状態を該割り当て状態にし、該割り当て状態にした物理バンク番号及びアクティブにした該割り当て制御信号を該論理／物理バンク番号変換部に供給する空き物理バンク検出・割り当て部とを有する。

【0017】この画像データ処理装置によれば、簡単な構成の割り当て状態記憶部と空き物理バンク検出・割り当て部とを備えることにより、主制御回路から物理バンク割り当て要求と論理番号とを出力するだけで論理バンクが物理バンクに割り当てられるので、論理バンクの物理バンクへの割り当てが容易に行われるという効果を奏する。

【0018】請求項3では、請求項2において、上記バンク管理回路はさらに、上記メモリ制御回路が1バンク分の読み出しあдресをアクセス完了したことを検出して、上記割り当て状態記憶部の、該1バンクの物理バンク番号に対応した上記割り当て状態を上記空き状態にさせる物理バンク開放部を有する。この画像データ処理装置によれば、物理バンクの開放が主制御回路と独立して行われるので、主制御回路での処理が簡単になるという効果を奏する。

【0019】請求項4の画像データ処理装置では、請求項2又は3において、上記空き物理バンク検出・割り当て部は、物理バンク検索要求に応答して、上記割り当て状態記憶部の内容を参照して上記空き状態を検出し、検出された該空き状態を上記割り当て状態にし、該割り当て状態にした物理バンク番号を上記論理／物理バンク番号変換部に供給しつつ割り当て完了通知を出力する空き物理バンク検出部と、該物理バンク検索要求を出力し、上記物理バンク割り当て要求を受け且つ該割り当て完了通知を受けた時に、アクティブにした上記割り当て制御信号を該論理／物理バンク番号変換部に供給する物理バンク割り当て部とを有する。

【0020】この画像データ処理装置によれば、物理バンク割り当て要求前の物理バンク検索要求により空き物理バンク番号が得られるので、物理バンク割り当て要求に対し高速に、論理バンクの物理バンクへの割り当てを行うことができるという効果を奏する。請求項5の画像データ処理装置では、請求項1乃至4のいずれか1つにおいて、上記メモリは、符号化画像データのバッファ記憶領域を有し、上記メモリ制御回路は、遅延のために符号化画像データを該バッファ記憶領域に一時記憶させ、

該バッファ記憶領域から該符号化画像データを読み出させ、該読み出された符号化画像データを復号して該メモリへ供給する復号回路を有し、上記主制御回路は、速度 $1/N$ のスロー再生要求に応答して該メモリ制御回路に対し、トップフィールド及びボトムフィールドの各々について該メモリの該バッファ記憶領域からN回繰り返し読み出させ且つ該読み出しに応じて上記pバンクの記憶領域に対する復号画像データの上記書き込み及び表示用読み出しを行わせる。

【0021】この画像データ処理装置によれば、バンク構成で復号画像データ用メモリ記憶容量を1フレーム分より少なくしても、速度 $1/N$ のスロー再生を行うことが可能になるという効果を奏する。請求項6では、請求項5において、上記主制御回路は、ポーズ再生要求に応答して、速度 $1/\infty$ のスロー再生要求に対する制御動作と同一の動作を行う。

【0022】請求項7の画像データ処理装置では、請求項1乃至6のいずれか1つにおいて、上記画像データはMPEG方式の画像データであり、上記物理バンクの記憶容量は、1マクロブロックラインの整数倍である。この画像データ処理装置によれば、バンク分割による画像データ処理の複雑化が回避されるという効果を奏する。

【0023】請求項8の画像データ処理装置では、請求項1乃至6のいずれか1つにおいて、上記画像データはMPEG方式の画像データであり、上記物理バンクの記憶容量は、1マクロブロックラインの半分の奇数倍である。この画像データ処理装置によれば、フィールド単位で画像データを処理する場合に、バンク分割による画像データ処理の複雑化が回避されるという効果を奏する。

【0024】請求項9では、1フレーム分の復号画像データ量をFとし、m及びpが $m \geq 2$ 、 $2 \leq p < m$ 及び $(1\text{バンクの復号画像データ量}) \times m = F$ を満たす整数であるとしたとき、復号画像データをmバンクに分割して各バンクに論理バンク番号を割り当て、復号画像データ格納用としてメモリにpバンクの記憶領域を確保し、該記憶領域の各バンクに物理バンク番号を割り当て、論理バンク番号を空いている物理バンク番号に割り当て、該割り当てられた物理バンク番号を、該メモリからバンク単位の読み出しが完了する毎に空き状態にし、割り当てた論理バンク番号の各々について該論理バンク番号を、該論理バンク番号が割り当てられている物理バンク番号に変換し、該変換された物理番号に対応したアドレスを先頭アドレスとして該メモリ内の1バンク分の復号画像データを順次アクセスして、該メモリに復号画像データを書き込ませ、該メモリに書き込まれた復号画像データを読み出させる。

【0025】請求項10の画像データ処理方法では、請求項9において、遅延のために、符号化画像データを上記メモリのバッファ記憶領域に一時記憶させ該バッファ記憶領域から該符号化画像データを読み出させ、該読み

出された符号化画像データを復号して該メモリへ供給し、速度 $1/N$ のスロー再生要求に応答して、トップフィールド及びボトムフィールドの各々について該メモリの該バッファ記憶領域からN回繰り返し読み出させ且つ該読み出しに応じて上記pバンクの記憶領域に対する復号画像データの上記書き込み及び表示用読み出しを行わせる。

【0026】請求項11では、復号された画像データが一時記憶されるメモリと、該メモリに該画像データを書き込み、該メモリ内の該画像データを参照して予測画像を生成し、該メモリから符号化前の画像順に該画像データを読み出すメモリ制御・予測画像生成回路と、を有する画像データ処理装置において、ブロック単位で画像が縮小するように、該画像データを変換する縮小変換回路と、該メモリに該画像データを書き込むのに該縮小変換回路を通すか否か、該メモリから該画像データを読み出した後に該縮小変換回路を通すか否かを選択できるようにする切換回路と有し、該メモリ制御・予測画像生成回路は、該メモリへの該画像データの書き込みであるか該メモリからの該画像データの読み出しであるか、表示モードが縮小モードであるか否か、及び、該画像データが非参照画像のものであるか否かに応じて、該切換回路を制御する制御回路を有する。

【0027】この画像データ処理装置によれば、縮小表示モードのときにメモリから表示画像データを読み出す場合、データ読み出し量が従来より少なくなるので、画像データ処理速度を従来よりも遅くすることができるという効果を奏し、画像データ処理装置の製造コスト低減に寄与する。請求項12の画像データ処理装置では、請求項11において、上記制御回路は、上記メモリへの画像データの書き込みにおいて、表示モードが縮小モード且つ該画像データが非参照画像のものである第1の場合には、該画像データが上記縮小変換回路を通って該メモリへ書き込まれるように上記切換回路を制御し、該第1の場合でない場合には、該画像データが該縮小変換回路を通らないで該メモリへ書き込まれるように該切換回路を制御し、該メモリからの該画像データの読み出しにおいて、該第1の場合又は該表示モードが縮小モードでない第2の場合には、該メモリから読み出された該画像データが該縮小変換回路を通らないように該切換回路を制御する。

【0028】請求項13の画像データ処理装置では、請求項11において、ブロック単位で画像が縮小するように、画像データを変換する縮小変換回路と、上記メモリに画像データを書き込むのに該縮小変換回路を通すか否か、該メモリから画像データを読み出した後に該縮小変換回路を通すか否かを選択できるようにする切換回路と有し、上記メモリ制御・予測画像生成回路は、該メモ

リへの該画像データの書き込みであるか該メモリからの該画像データの読み出しであるか、表示モードが縮小モードであるか否か、及び、該画像データが非参照画像のものであるか否かに応じて、該切換回路を制御する制御回路を有する。

【0029】請求項14では、符号化された画像データを復号する画像データ処理方法において、復号画像一時記憶用メモリと復号画像サイズを縮小するための縮小変換回路とを用い、該メモリへの復号画像データの書き込みにおいて、表示モードが縮小モード且つ該復号画像データが非参照画像のものである第1の場合には、該復号画像データを、縮小変換回路に通して該メモリへ書き込ませ、該第1の場合でない場合には、該復号画像データを該縮小変換回路に通さずに該メモリへ書き込ませ、該メモリからの該復号画像データの表示用読み出しにおいて、該第1の場合又は該表示モードが縮小モードでない第2の場合には、該復号画像データを該メモリから読み出させ該縮小変換回路を通さないようにし、該第1の場合でなくかつ該第2の場合でない場合には、該メモリから読み出した該画像データを該縮小変換回路に通す。

【0030】

【発明の実施の形態】以下、図面に基づいて本発明の実施形態を説明する。

【第1実施形態】図1は、図8に対応した本発明の第1実施形態の画像復号装置の概略構成を示す。図8と同一構成要素には同一符号を付してその説明を省略する。

【0031】この装置は、フレームメモリ14Aに画像データを書き込むのにレターボックス変換回路20を通すか否か、フレームメモリ14Aから画像データを読み出した後にレターボックス変換回路20を通すか否かを選択できるようにするために、図8の切換回路19の替わりに、切換回路21～24を備えている。画像書き込みにおいて、表示モードが縮小モード且つ復号画像データDAT2が非参照画像であるBピクチャの場合には、切換回路21が加算回路13の出力側に切り換えられ、切換回路22が切換回路23側に切り換えられ、切換回路23が切換回路22側に切り換えられる。これにより、復号画像データDAT2がレターボックス変換回路20で縮小され、復号画像データDAT2Aとしてフレームメモリ14Aに一時記憶される。レターボックス変換回路20では、 16×16 画素が 16×12 画素に縮小される。

【0032】画像書き込みにおいて、上記以外の場合には、切換回路23が加算回路13の出力側に切り換えられる。これにより、復号画像データDAT2が復号画像データDAT2Aとしてフレームメモリ14Aに一時記憶される。画像読み出しにおいて、表示モードが縮小モード且つ表示画像データDAT5がBピクチャの場合、又は、表示モードが縮小モードでない場合には、切換回路24がフレームメモリ14Aの出力側に切り換えられ

る。これにより、表示画像データDAT5が表示画像データDAT6として、切換回路24から取り出される。したがって、フレームメモリ14AからBピクチャの表示画像データDAT5を読み出す場合、データ読み出しが従来の $3/4$ と少くなり、従来のような高速処理をする必要がない。

【0033】画像読み出しにおいて、上記以外の場合、すなわち表示モードが縮小モード且つ表示画像データDAT5がBピクチャでない場合には、切換回路21がフレームメモリ14Aの出力側に切り換えられ、切換回路22が切換回路24側に切り換えられ、切換回路24が切換回路22側に切り換えられる。これにより、表示画像データDAT5がレターボックス変換回路20で縮小され、表示画像データDAT6として切換回路24から取り出される。この場合、従来と同一になるが、読み出された表示画像データを不図示のバッファメモリに格納しておくことにより、縮小表示画像全体としての処理速度を従来よりも低減することができる。

【0034】【第2実施形態】次に、表示モードが縮小モードであるかどうかによらずフレームメモリ14Aの記憶容量低減を可能にする第2実施形態の画像復号装置を説明する。以下の説明において、レターボックス変換については、図1又は図8のいずれの構成であってもよい。

【0035】最初に、記憶容量低減を可能にするバンク及びその使用方法の概略を説明する。最大画素数の表示モードにおいて、フレームメモリ14Aの記憶容量は2. Xフレームと表される。0. Xフレームは、Bピクチャ用であり、2バンク（書き込み用の1バンクと読み出し用の1バンク）以上である。ここに1バンクは、例えば、画像上の 16 ライン分である1マクロブロックラインの整数倍である。これは、図1の可変長復号回路10、逆量子化回路11及び逆DCT回路12において、 16×16 画素の1マクロブロック単位で処理が行われることに対応している。

【0036】図5(A)に示す如く、Bピクチャをバンクで分割したものを論理バンクと称し、フレームメモリ14A内の0. Xフレーム分の記憶領域をバンクで分割したものを物理バンクと称す。図5(A)では、Bピクチャの容量が4バンクであり、0. Xフレームが2バンクである場合を示している。復号画像データDAT2AがBピクチャの場合、その論理バンク1～4は、フレームメモリ14Aの物理バンクA及びBへ、図5(A)～(G)に示すように格納される。図5(A)が、論理バンクの物理バンクへの割当を表しているのに対し、図5(B)～(G)は、論理バンクへの物理バンクの割当及び論理バンクの表示を時間順に表したものである。

【0037】最初、物理バンクAと物理バンクBとは空き状態になっており、物理バンクAに論理バンク1の内容が書き込まれる(図5(B))。次に、物理バンクB

に論理バンク2の内容が書き込まれ、同時に物理バンクAの内容が表示画像データDAT5として読み出される(図5(C))。この書き込みと読み出しは非同期である。

物理バンクAからの読み出しが完了すると、次に物理バンクBからの読み出しが開始される(図5(D))。物理バンクAが空いているので、次に論理バンク3の内容が物理バンクAに書き込まれる(図5(E))。

物理バンクBからの読み出しが完了すると、物理バンクAからの読み出しが続いて行われる(図5(F))。次に、論理バンク4の内容が物理バンクBに書き込まれ、また、物理バンクAからの読み出しが完了すると、物理バンクBからの読み出しが開始される(図5(G))。

【0038】物理バンクA及びBは、図4に示す如く、フレームメモリ14A内でリロケータブルになっていく。図4は、図9に対応しており、順次供給される画像データDAT0(DAT2A)のピクチャタイプとフレームメモリ14内の画像記憶状態ST1～ST9を示している。図4中、I、P、及びBはピクチャタイプを示しており、これらに付された番号は符号化画像データDAT0(DAT2A)の時間的順番を示している。また、図4中の()内は表示画像として読み出されるピクチャを示している。

【0039】次に、フレームメモリ14Aへの復号画像データDAT2Aの書き込み及びフレームメモリ14Aからの表示画像データDAT5の読み出しの概略を説明する。(ST1)ピクチャI1がフレームメモリ14Aに書き込まれる。次の書き込みアドレスADfは、 $ADf = (\text{ピクチャI1の格納最終アドレス}) + 1$ である。

【0040】(ST2)アドレスADfから物理バンクが確保される。ピクチャI1を参照画像としてピクチャB2の予測画像{I1}が生成され、誤差画像としてのピクチャB2の画像データDAT1に加算されてピクチャB2が復号され、フレームメモリ14Aの物理バンクに書き込まれる。次に、ピクチャB2が表示画像データDAT5として読み出される。以下、これらを簡単に、 $\{I1\} + B2 \rightarrow B2$ 、B2表示

と表す。ピクチャB2の表示が完了すると、ピクチャB2が格納されている領域が解放されるので、

$ADf = (\text{ピクチャI1の格納最終アドレス}) + 1$ となる。物理バンクは、Bピクチャ格納開始前に、アドレスADfからnバンク分、例えば2バンク分確保される。

【0041】

(ST3) $\{I1\} + B3 \rightarrow B3$ 、B3表示

(ST4) $\{I1\} + P4 \rightarrow P4$ 、I1表示

ピクチャP4は、解放されたピクチャB3の領域の開始位置と同じ位置から格納される。ピクチャI1の表示が完了しても、まだ参照画像として利用されるので、

$ADf = (\text{ピクチャP4の格納最終アドレス}) + 1$

となる。

【0042】

(ST5) $\{I1 + P4\} + B5 \rightarrow B5$ 、B5表示
ピクチャB5の表示が完了すると、ピクチャB5が格納されている領域が解放されるので、
 $ADf = (\text{ピクチャP4の格納最終アドレス}) + 1$ となる。

【0043】

(ST6) $\{I1 + P4\} + B6 \rightarrow B6$ 、B6表示
(ST7) $\{P4\} + P7 \rightarrow P7$ 、ピクチャP4表示
アドレスADfからピクチャP7が格納され、フレームメモリ14Aの最終アドレスまで進むと、フレームメモリ14Aの先頭アドレスへ戻って、残りのピクチャP7が格納される。すなわち、フレームメモリ14Aは、そのアドレスが論理的にループ状に連結されている。

【0044】

$ADf = (\text{ピクチャP7の格納最終アドレス}) + 1$ となる。

(ST8) $\{P4 + P7\} + B8 \rightarrow B8$ 、B8表示
(ST9) $\{P4 + P7\} + B9 \rightarrow B9$ 、B9表示
このようにして、符号化前のピクチャB2、B3、I1、B5、B6、P4、B8、B9、P7の順に表示画像が得られる。

【0045】図2は、上述のようなバンク及びその使用方法を用いた本発明の第2実施形態の画像復号装置の概略構成を示す。この装置では、バッファメモリ制御回路25によりバッファメモリ26のリード/ライト状態が制御され且つバッファメモリ26がアドレス指定されて、多重ビットストリームから分離されたビデオビットストリームVBSがバッファメモリ26に高速に一時格納され、格納されたデータがバッファメモリ26から低速に読み出され、符号化画像データDAT0として復号回路27内の可変長復号回路に供給される。

【0046】復号回路27は、図8中の可変長復号回路10、逆量子化回路11、逆DCT回路12、加算回路13、及び、メモリ制御・予測画像生成回路15の予測画像生成回路部から成る。図8の場合と同様に、復号回路27にはフレームメモリ14Aから参照用復号画像データDAT4が供給され、復号回路27はこれを用いて予測復号し、復号画像データDAT2としてフレームメモリ14Aへ供給する。

【0047】復号・表示制御回路28には、ビデオビットストリームVBSを分離する際に不図示のシステムデコーダで分離されたシステムクロックレフランスクロックレフランスSCR、デコーディングタイムスタンプDTSやプレゼンテーションタイムスタンプPTS等の制御情報C11、復号回路27内の可変長復号回路で分離されたピクチャコーディングタイプ、テンポラルレフランス、動きベクトルや画像サイズ等の制御情報C12及び操作者の操作に基づいて生成されたポーズ再生要求信号PRQ、ス

ロー再生要求信号 S R Q 及び再生速度 1 / N 等の制御情報が供給される。復号・表示制御回路 28 は、これら制御情報に基づき復号及び表示のための各種制御データを生成して、バッファメモリ制御回路 25 、復号回路 27 、フレームメモリ制御回路 29 、バンク管理回路 30 及び表示回路 31 に供給する。復号・表示制御回路 28 は、先頭アドレスレジスタ回路 281 を備えており、これは、バッファメモリ書き込み先頭アドレス BW 、バッファメモリ読み出し先頭アドレス BR 、フレームメモリ書き込み先頭アドレス FW 、フレームメモリ参照画像読み出し先頭アドレス FR 1 及び FR 2 並びにフレームメモリ表示画像読み出し先頭アドレス FR 3 の各々を保持するレジスタからなる。復号・表示制御回路 28 は、上記制御情報に基づいてこれらレジスタの内容を設定する。

【0048】リセット時にバッファメモリ書き込み先頭アドレス BW がバッファメモリ制御回路 25 のアドレスカウンタ 251 にロードされ、バッファメモリ制御回路 25 によりバッファメモリ 26 が書き込み状態にされ、ビデオピットストリーム VBS がバッファメモリ 26 に書き込まれる。この際、アドレスカウンタ 251 がクロックでインクリメントされ、バッファメモリ 26 内の最終アドレスまでデータが書き込まれると、バッファメモリ制御回路 25 によりバッファメモリ 26 の先頭アドレスがアドレスカウンタ 251 にロードされ、ビデオピットストリーム VBS の書き込みが続行される。復号・表示制御回路 28 からバッファメモリ制御回路 25 へ復号開始指令及びバッファメモリ読み出し先頭アドレス BR が供給され、バッファメモリ読み出し先頭アドレス BR がアドレスカウンタ 251 にロードされ、バッファメモリ制御回路 25 によりバッファメモリ 26 が読み出し状態にされ、アドレスカウンタ 251 がクロックでインクリメントされて、符号化画像データ DAT 0 が読み出される。この際、復号回路 27 内の可変長復号回路で分離された制御情報が復号・表示制御回路 28 へ供給される。

【0049】バッファメモリ 26 への書き込みとバッファメモリ 26 からの読み出しとは、バッファメモリ制御回路 25 により時分割並列処理され、書き込みと読み出しの一方から他方の制御へ移る際には、アドレスカウンタ 251 の内容が不図示の一方のレジスタに退避され、退避されていた他方のレジスタの内容がアドレスカウンタ 251 に復帰される。

【0050】読み出しアドレスは、通常は書き込み順で連続的であるが、後述のスロー再生のときには同一内容の繰り返し読み出しを行う必要があり、この場合、復号・表示制御回路 28 からバッファメモリ制御回路 25 へバッファメモリ読み出し先頭アドレス BR が供給されてアドレスカウンタ 251 にロードされる。フレームメモリ 14 A に対し 1 画像のアクセスを開始する場合には、

ピクチャータイプによらず次のような処理が行われる。

【0051】すなわち、復号画像データ DAT 2 をフレームメモリ 14 A へ書き込み開始する場合には、復号・表示制御回路 28 からフレームメモリ制御回路 29 へ書き込み開始指令及びフレームメモリ書き込み先頭アドレス FW が供給され、このアドレスがアドレスカウンタ 291 にロードされる。表示用復号画像データ DAT 5 をフレームメモリ 14 A から読み出し開始する場合には、復号・表示制御回路 28 からフレームメモリ制御回路 29 へ表示画像読み出し開始指令及びフレームメモリ表示画像読み出し先頭アドレス FR 3 が供給され、このアドレスがアドレスカウンタ 291 にロードされる。参照用復号画像データ DAT 4 をフレームメモリ 14 A から読み出し開始する場合には、復号・表示制御回路 28 からフレームメモリ制御回路 29 へ参照画像読み出し開始指令及びフレームメモリ参照画像読み出し先頭アドレス FR 1 、 2 つの参照画像を用いる場合にはさらにフレームメモリ参照画像読み出し先頭アドレス FR 2 が供給され、フレームメモリ制御回路 29 により、先頭アドレス FR 1 及び FR 2 が時間をずらしてアドレスカウンタ 291 にロードされる。上記バッファメモリ制御回路 25 の場合と同様に、アドレスカウンタ 291 がクロックでインクリメントされ、フレームメモリ 14 A に対する読み出し及び書き込みがフレームメモリ制御回路 29 により時分割並列処理される。

【0052】フレームメモリ 14 A に対し B ピクチャーの論理バンクをアクセス開始する場合には、さらに次のような処理が行われる。すなわち、 B ピクチャーの論理バンクの復号画像データ DAT 2 をフレームメモリ 14 A へ書き込み開始する場合には、復号・表示制御回路 28 からバンク管理回路 30 へ物理バンク割り当て要求 RQ 2 及び書き込み論理バンク番号 L 1 N が供給され、物理バンク割り当て要求 RQ 2 が受け付けられると、書き込み論理バンク番号 L 1 N がバンク管理回路 30 で物理バンク番号 P 1 N に変換されてフレームメモリ制御回路 29 に供給される。フレームメモリ制御回路 29 は、 FW+P 1 N · BNK をアドレスカウンタ 291 へロードしてフレームメモリ 14 A への書き込み制御を行う。ここに、 BNK は予め定められた 1 物理バンクの記憶容量値であり、バンク管理回路 30 から供給される。各画像について初回は P 1 N = 0 である。

【0053】 B ピクチャーの論理バンクの表示用復号画像データ DAT 5 をフレームメモリ 14 A から読み出し開始する場合には、復号・表示制御回路 28 からバンク管理回路 30 へ読み出し論理バンク番号 L 2 N が供給され、読み出し論理バンク番号 L 2 N がバンク管理回路 30 で物理バンク番号 P 2 N に変換されてフレームメモリ制御回路 29 に供給される。フレームメモリ制御回路 29 は、 FR 3 + P 2 N · BNK をアドレスカウンタ 291 へロードしてフレームメモリ 14 A からの読み出し制

御を行う。各画像について初回はP2N=0である。

【0054】表示用復号画像データDAT5は表示回路31に供給され、フォーマット変換及びアナログ変化等が行われて表示装置用のビデオ信号VSが生成される。バンク管理回路30の構成例を、図3に示す。この回路30は、構成要素32～37を備えている。物理バンク数演算部32は、上述の0.Xフレームのバンク数nを次式で算出する。

【0055】 $n = [(ADR_e - ADR_s + 1 - 2FLM) / BNK]$

ここに、ADR_sはフレームメモリ14Aのスタートアドレス、ADR_eはフレームメモリ14Aのエンドアドレス、FLMは表示モードで定まる1フレームの記憶容量、[]は小数点以下切り捨てによる整数化の記号である。物理バンク数nは、空き物理バンク検出部33に供給される。

【0056】物理バンク割り当てレジスタ34は、nの最大値Nに等しい数のビットを備えており、図3はN=4の場合を示している。物理バンク割り当てレジスタ34の各ビットは、物理バンクに対応しており、物理バンク割り当てフラグFA～FDとして用いられる。このフラグは、「1」のとき論理バンク割り当て済みを示し、「0」のとき割り当てられてないことを示すものとする。

【0057】空き物理バンク検出部33は、物理バンク割り当て部35からの物理バンク検索要求RQ1に応答して、物理バンク割り当てレジスタ34の一端からnビットにつき、「0」の第iビットを検出し、このビットを「1」に反転させ、検出物理バンク番号PDN=iを論理/物理バンク番号変換部36に供給し、物理バンク割り当て部35に割り当て完了通知ACK1を供給する。該nビットが全て「1」の場合には、そのいずれかが「0」になるのを待って前記処理を行う。

【0058】復号・表示制御回路28は、物理バンク割り当て部35に物理バンク割り当て要求RQ2を供給し、同時に、次に復号すべき画像データDAT1の復号書き込み論理バンク番号L1Nを論理/物理バンク番号変換部36に供給する。物理バンク割り当て部35は、物理バンク割り当て要求RQ2発行前に物理バンク検索要求RQ1を空き物理バンク検出部33に供給しており、割り当て完了通知ACK1と物理バンク割り当て要求RQ2との両方を受けたときに、割り当て制御信号CNT1を論理/物理バンク番号変換部36に供給し、これと同時に、復号・表示制御回路28に対し物理バンク割り当て通知ACK2を供給する。物理バンク割り当て部35は、割り当て制御信号CNT1の出力後に、次の論理バンクの復号の為に、物理バンク割り当て要求RQ2受取前に物理バンク検索要求RQ1を空き物理バンク検出部33に供給する。

【0059】論理/物理バンク番号変換部36は、マッ

ピングレジスタMR1～MR4を備えており、復号書き込み論理バンク番号L1NでマッピングレジスタMR1～MR4の1つがアドレス指定され、指定されたものに、割り当て制御信号CNT1のタイミングで検出物理バンク番号PDNが保持される。論理/物理バンク番号変換部36は、フレームメモリ制御回路29からの要求に応じ、マッピングレジスタMR1～MR4の順にサイクリックにその内容を読み出し、物理バンク番号P1Nとしてフレームメモリ制御回路29に供給する。フレームメモリ制御回路29は、上述のFW+P1N・BNKを算出し、これをアドレスカウンタ291にロードする。アドレスカウンタ291の内容ADfはクロックでインクリメントされ、このアドレスADfに復号画像データDAT2Aが順次書き込まれる。

【0060】復号・表示制御回路28は、次に表示すべき論理バンク番号L2Nを論理/物理バンク番号変換部36及び物理バンク開放部37に供給する。論理/物理バンク番号変換部36は、読み出し論理バンク番号でマッピングレジスタMR1～MR4の1つをアドレス指定し、その内容を物理バンク番号P2Nとしてフレームメモリ制御回路29に供給する。フレームメモリ制御回路29は、上述のFR3+P2N・BNKを算出し、これをアドレスカウンタ291にロードし、フレームメモリ14Aに対し読み出し制御を行う。これにより、フレームメモリ14Aから表示画像データDAT5が順次読み出される。

【0061】物理バンク開放部37は、アドレスカウンタ291の内容ADfがFR3+(P2N+1)・BNK-1に一致したことを不図示の一致検出回路で検出することにより、1バンク分の表示アドレスの読み出しが完了したと判定して、読み出し論理バンク番号の変化直前に読み出し論理バンク番号の内容を保持した表示済論理バンク番号L3N及びバンク開放制御信号CNT2を論理/物理バンク番号変換部36に供給する。論理/物理バンク番号変換部36は、これに応答して、表示済論理バンク番号L3NでマッピングレジスタMR1～MR4の1つをアドレス指定し、その内容Xに対応した物理バンク割り当てレジスタ34の第Xビットをゼロクリアさせ、この内容Xを初期化する。

【0062】図6は、図3の回路の動作を示すタイムチャートである。

(t01) 物理バンク検索要求RQ1が空き物理バンク検出部33に供給される。

(t02) 空き物理バンク検出部33から物理バンクAを示す検出物理バンク番号PDN(=0、物理バンクBを示す検出物理バンク番号PDNは1)が出力され、物理バンク割り当てレジスタ34の内容が「1000」となる。

【0063】(t03) 復号・表示制御回路28から復号書き込み論理バンク番号L1N及び物理バンク割り当

て要求R Q 2が出力される。

(t 0 4) 物理バンク割り当て部3 5から論理／物理バンク番号変換部3 6及び復号・表示制御回路2 8へそれぞれ割り当て制御信号C N T 1及び物理バンク割り当て通知A C K 2が供給される。

【0 0 6 4】(t 0 5) 物理バンクAに対応した検出物理バンク番号P D NがマッピングレジスタM R 1に保持される。図6中のハッチングは内容が初期化されていることを示している。次の時刻t 1 1～t 1 5については、時刻t 0 1～t 0 5と同様である。

(t 1 7) 読み出し論理バンク番号L 2 Nが論理／物理バンク番号変換部3 6及び物理バンク開放部3 7に供給され、論理／物理バンク番号変換部3 6からP 2 N=0が出力され、物理バンクAから論理バンク1の内容の読み出しが開始される。

【0 0 6 5】(t 2 1) 物理バンク検索要求R Q 1が空き物理バンク検出部3 3に供給される。

(t 2 3) 復号・表示制御回路2 8から復号書き込み論理バンク番号L 1 N及び物理バンク割り当て要求R Q 2が出力される。

(t 2 7) 読み出し論理バンク番号L 2 Nが論理／物理バンク番号変換部3 6及び物理バンク開放部3 7に供給される。

【0 0 6 6】(t 2 6) 論理／物理バンク番号変換部3 6により物理バンク割り当てレジスタ3 4の最上位ビットがゼロクリアされ、マッピングレジスタM R 1の内容がクリアされる。論理／物理バンク番号変換部3 6からP 2 N=1が出力され、物理バンクBから論理バンク2の内容の読み出しが開始される。

(t 2 2) 空き物理バンク検出部3 3から物理バンクAを示す検出物理バンク番号P D Nが出力され、物理バンク割り当てレジスタ3 4の内容が‘1 1 0 0’となる。

【0 0 6 7】(t 2 4) 物理バンク割り当て部3 5から論理／物理バンク番号変換部3 6及び復号・表示制御回路2 8へそれぞれ割り当て制御信号C N T 1及び物理バンク割り当て通知A C K 2が供給される。

(t 2 5) 物理バンクAに対応した検出物理バンク番号P D N=0がマッピングレジスタM R 3に保持される。

【0 0 6 8】次の時刻t 3 1～t 3 7については、上記同様であるのでその説明を省略する。本第2実施形態によれば、以上のようなBピクチャーの処理により、バンク分割によるフレームメモリ1 4 Aの容量低減が可能となる。次に、スロー再生処理について説明する。

【0 0 6 9】復号・表示制御回路2 8へのスロー再生要求信号S R Qに応答して、このとき設定されている再生速度1/Nに基づき、再生速度が通常の1/Nになるように復号及び表示の制御が行われる。Iピクチャー又はPピクチャーの場合には、フレームメモリ1 4 Aから読み出される画像の各フィールドについてN回繰り返し読み出せば良く、従来と同一方法で行われる。この場合、

バッファメモリ2 6から復号回路2 7へのデータ転送レートの平均値は通常再生の場合の1/Nになる。

【0 0 7 0】Bピクチャーの場合には、上述のように1つの論理バンクの表示用復号画像データの読み出しが完了すると、次の論理バンクの画像データで上書きされて前の論理バンクの画像データが消失するので、画像の各フィールドについてバッファメモリ2 6からN回繰り返し読み出させる。この場合、N回繰り返し再生速度1/Nとの組み合わせにより、バッファメモリ2 6から復号回路2 7へのデータ転送レートの平均値は通常再生の場合と同じになる。

【0 0 7 1】図7(A)は、1/2スロー再生モードの場合のBピクチャーの復号画像順を示しており、画像5 0～5 3の順に復号される。画像5 0～5 3は同一フレームのものであり、画像5 0及び5 1は同一トップフィールドT Fのものであり、画像5 2及び5 3は同一ボトムフィールドB Fのものである。Bピクチャーのピクチャヘッダの制御情報C I 2が復号回路2 7から復号・表示制御回路2 8へ供給される毎に、復号・表示制御回路

28からバッファメモリ制御回路2 5へ復号開始指令及びバッファメモリ読み出し先頭アドレスB Rがバッファメモリ制御回路2 5へ供給され、バッファメモリ読み出し先頭アドレスB Rがアドレスカウンタ2 5 1にロードされる。バッファメモリ制御回路2 5へのバッファメモリ読み出し先頭アドレスB Rの供給は、同一フレームのトップフィールドトップフィールドT F及びボトムフィールドボトムフィールドB Fの各々について、同一値が2回繰り返され、図7(A)に示すようにB R 1、B R 1、B R 2、B R 2の順になる。これにより、バッファメモリ2 6から復号回路2 7へ同一フレームの同一トップフィールドT Fの符号化画像データD A T 0が2回復号回路2 7へ供給され、次に同一フレームの同一ボトムフィールドB Fの符号化画像データD A T 0が2回復号回路2 7へ供給される。フレーム構造の場合には、バッファメモリ2 6からの読み出しラインを1ライン毎にスキップすることにより1フィールド分読み出して、フィールド構造の場合と同一になるようになる。

【0 0 7 2】Bピクチャーについては、復号・表示制御回路2 8から復号回路2 7へ供給されるピクチャコードイングタイプを含む復号指令D R Q並びにフレームメモリ制御回路2 9及びパンク管理回路3 0へ供給される制御データは、復号・表示制御回路2 8からバッファメモリ制御回路2 5への制御データの上記2回繰り返しに応じて、2回繰り返され、表示画像順は上記復号画像順に等しくなる。

【0 0 7 3】図7(C)は、実線の走査線が表示画面上のトップフィールド画像T F Pを示しており、点線の走査線が表示画面上のボトムフィールド画像B F Pを示している。復号・表示制御回路2 8から表示回路3 1へは、表示用復号画像データD A T 5が画像5 1のとき、

トップフィールドTFをボトムフィールド画像BFPとして表示させる制御データを供給し、表示用復号画像データDAT5が画像52のとき、ボトムフィールドBFをトップフィールド画像TFPとして表示させる制御信号を供給する。これにより、フィールド画像のデータで擬似的にフレーム画像が表示される。この点は、ピクチャタイプによらない。

【0074】図7(B)は、1/3スロー再生モードの場合のBピクチャーの復号画像順を示しており、画像60~65の順に復号される。画像60~65は同一フレームのものであり、画像60~62は同一トップフィールドTFのものであり、画像63~65は同一ボトムフィールドBFのものである。復号・表示制御回路28から出力される制御データの上記2回繰り返しはこの場合、3回になる。なお、フィールド画像62及び63については、フレーム構造の場合、両者を1フレーム画像として復号してもよい。

【0075】1/4以下の速度のスロー再生モードについても上記同様である。ポーズ再生要求信号PRQに応答して行われるポーズ再生の動作は、1/∞スロー再生の場合と同一である。本第2実施形態によれば、バンク構成でフレームメモリ14Aの記憶容量を3フレーム分より少なくしても、以上のような動作により、スロー再生やポーズ再生を行うことが可能となる。

【0076】なお、本発明には外にも種々の変形例が含まれる。例えば、Bピクチャー用の物理バンクは、フレームメモリ14A内の予め定められた領域に確保するようにもよい。物理バンクの記憶容量は、トップフィールドとボトムフィールドとに分けて管理するために、1マクロブロックラインの半分の奇数倍であってもよい。

【0077】フレームメモリ14Aとバッファメモリ26とはメモリ内のソフト的分割領域であってもよく、また、バッファメモリ制御回路25とフレームメモリ制御回路29とを1つのメモリ制御回路で構成しアドレスカウンタ251と291とを1つのアドレスカウンタに統一した構成であってもよい。また、本発明は、レターボックス変換回路20の替わりに他の画像縮小変換回路を用いた場合に適用してもよい。

【図面の簡単な説明】

【図1】本発明の第1実施形態の画像復号装置の概略構成図である。

【図2】本発明の第2実施形態の画像復号装置の概略構成図である。

【図3】図2中のバンク管理回路の構成例を示すブロック図である。

【図4】図2の装置による画像復号処理の説明図である。

【図5】Bピクチャーのバンク割当説明図である。

【図6】図3の回路の動作を示すタイムチャートである。

10

20

30

40

50

【図7】Bピクチャーのスロー再生説明図である。

【図8】従来の画像復号装置の概略構成を示すブロック図である。

【図9】図8の装置による画像復号処理の説明図である。

【図10】レターボックス変換説明図である。

【符号の説明】

10 可変長復号回路

11 逆量子化回路

12 逆DCT回路

13 加算回路

14、14A フレームメモリ

15、15A メモリ制御・予測画像生成回路

20 レターボックス変換回路

21~24 切換回路

25 バッファメモリ制御回路

251、291 アドレスカウンタ

26 バッファメモリ

27 復号回路

28 復号・表示制御回路

281 先頭アドレスレジスタ回路

29 フレームメモリ制御回路

30 バンク管理回路

31 表示回路

32 物理バンク数演算部

33 空き物理バンク検出部

34 物理バンク割り当てレジスタ

35 物理バンク割り当て部

36 論理/物理バンク番号変換部

37 物理バンク開放部

MR1~MR4 マッピングレジスタ

L1N 書き込み論理バンク番号

L2N 読み出し論理バンク番号

RQ2 物理バンク割り当て要求

DAT0 符号化画像データ

DAT1 画像データ

DAT2、DAT2A 復号画像データ

DAT3 予測画像データ

DAT4 参照用復号画像データ

DAT5 表示用復号画像データ

C11、C12 制御情報

PW バッファメモリ書き込み先頭アドレス

BR バッファメモリ読み出し先頭アドレス

FW フレームメモリ書き込み先頭アドレス

FR1、FR2 フレームメモリ参照画像読み出し先頭アドレス

FR3 フレームメモリ表示画像読み出し先頭アドレス

PRQ ポーズ再生要求信号

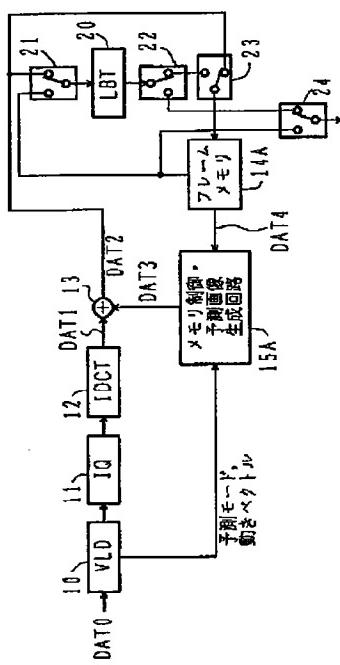
SQRQ スロー再生要求信号

1/N 再生速度

D R Q 復号開始指令

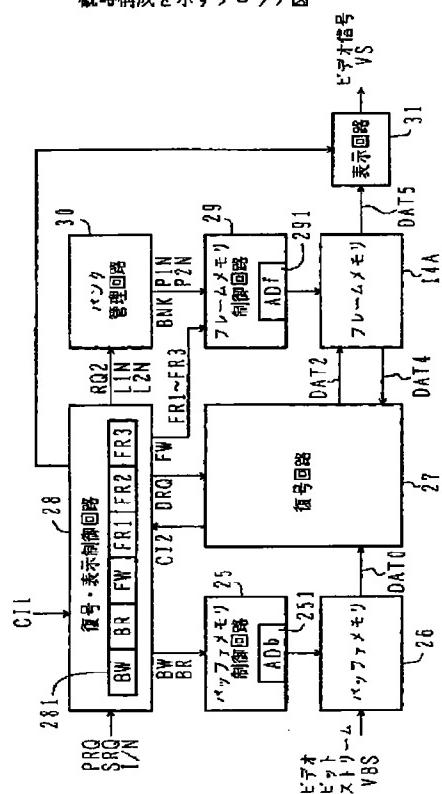
【図1】

本発明の第1実施形態の画像復号装置の概略構成図



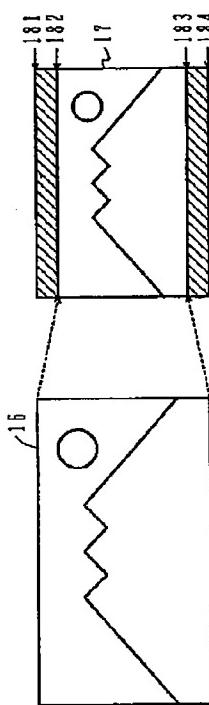
【図2】

本発明の第2実施形態の動画像復号装置概略構成を示すブロック図



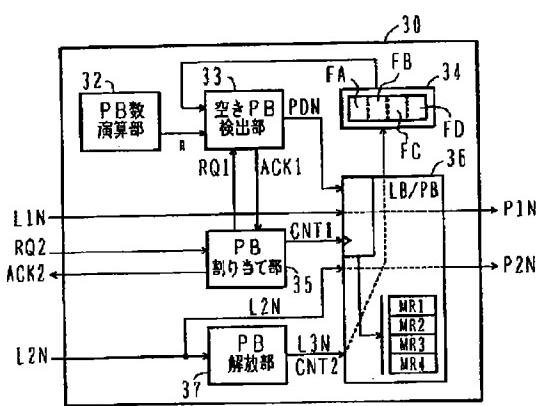
【図10】

レターポックス変換説明図



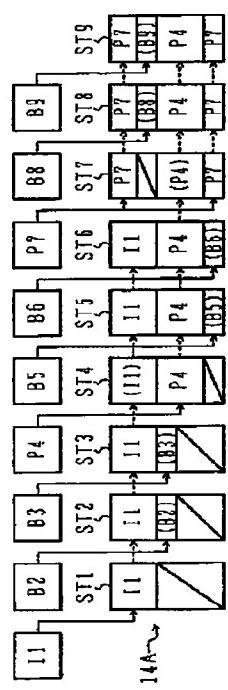
【図3】

図2中のバンク管理回路の構成例を示すブロック図



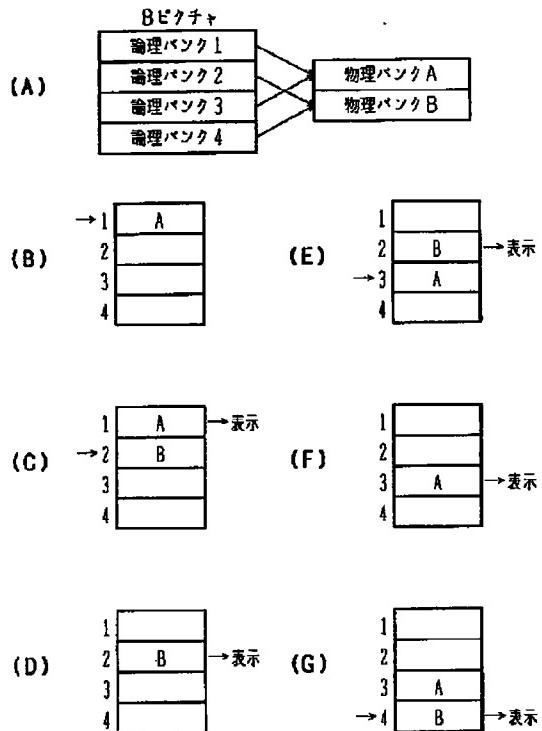
【図4】

図2の装置による画像復号処理の説明図



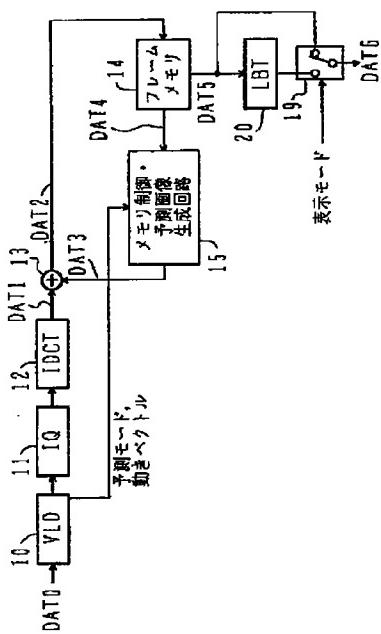
【図5】

Bピクチャのバンク割り当て説明図



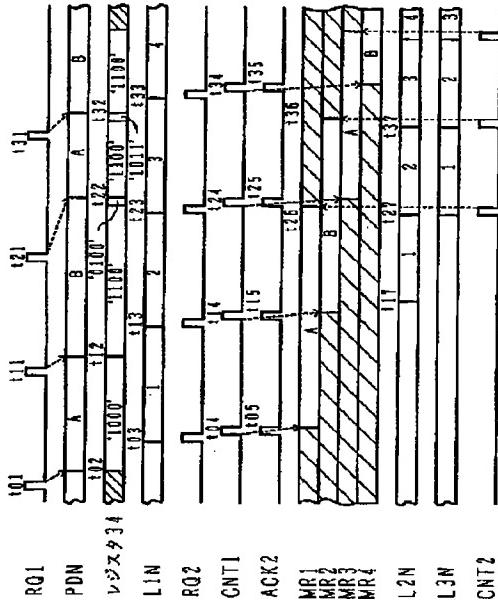
【図8】

従来の画像復号装置の概略構成を示すブロック図



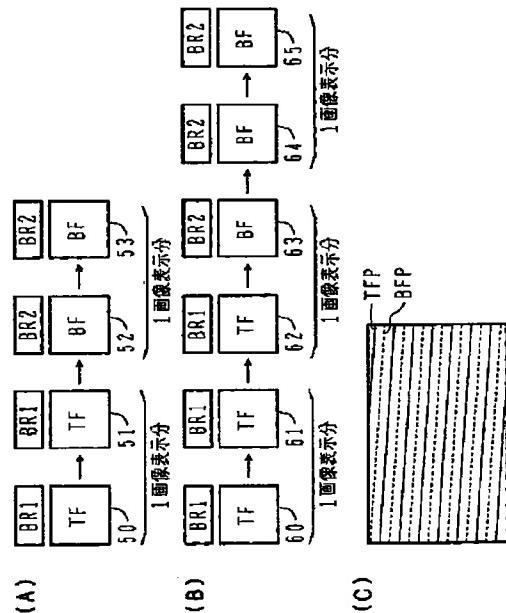
【図6】

図3の回路の動作を示すタイムチャート



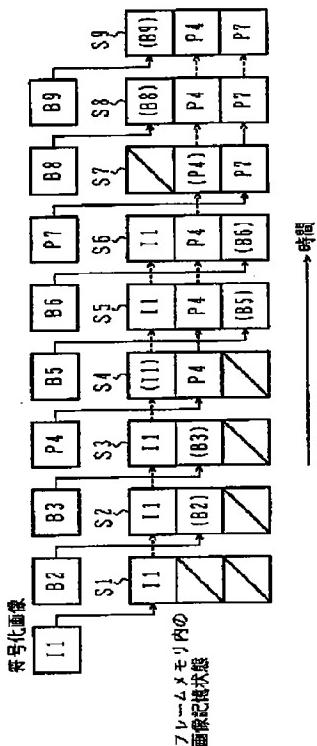
[図7]

Bピクチャのスロー再生説明図



【図9】

図8の装置による画像復号処理の説明図



フロントページの続き

(72) 発明者 加茂 良彦
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 松岡 武
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 竹平 真則
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 河野 忠美
神奈川県横浜市港北区新横浜2丁目3番9
号 富士通ディジタル・テクノロジ株式会
社内

(72) 発明者 太田 光彦
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 石塚 正則
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内